

Teknisk utveckling system/program/hårdvara

Dennis Söderberg
www.ftlsystems.com

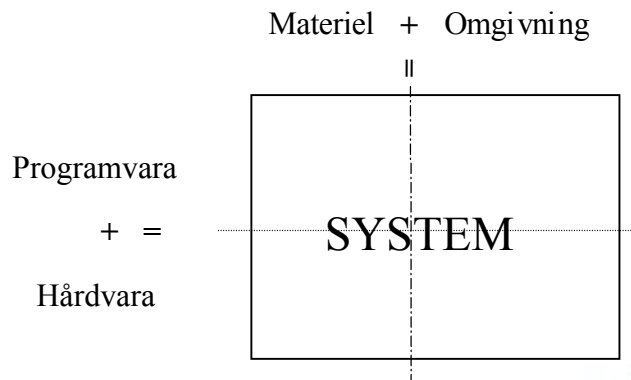


Innehåll

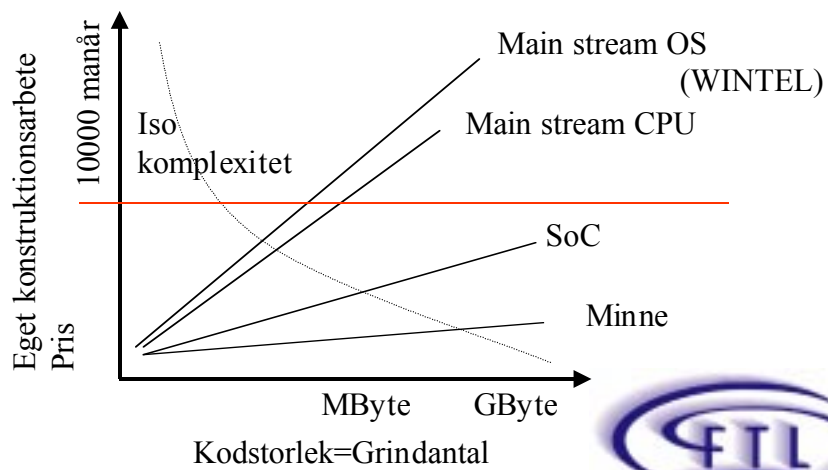
- System Arkitektur
- Tillverkning
- Design Automation
- Industristruktur



Systemsimulering

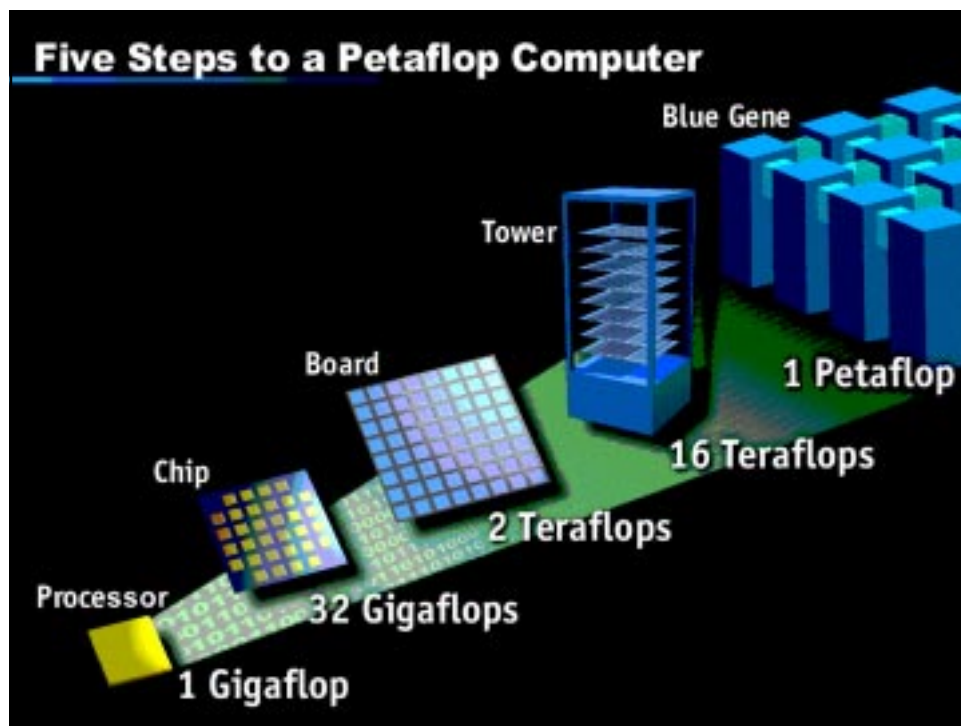


System komplexitet

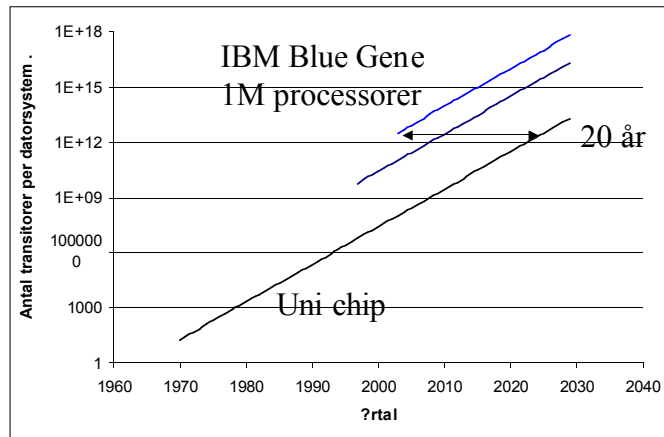


Hårdvarutrender

- Separation av konstruktionsprocessen från tillverkningsprocessen
 - Fab less
 - Foundry
- Ökad Parallellism
 - Konfigurerbar hårdvara
 - Blue GENE



Komplexitetsutveckling

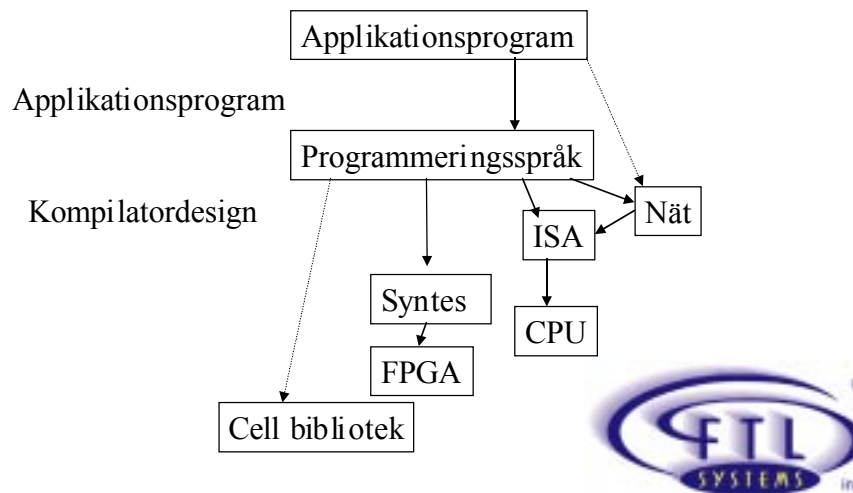


Utvecklingstakten är 60%/år

- Takten begränsas av ekonomiska intressen
- Slutvärdet begränsas av fysikaliska parametrar
- Det finns 10^6 ggr kvar termodynamiskt.



Relation: Program och Hårdvara

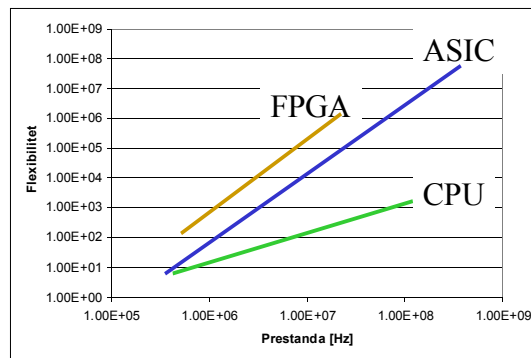


Konfigurerbar hårdvara

- Dynamisk objektallokering
 - Dynamisk beräkningsresursallokering
 - Dynamisk minnesallokering
- Syntes i realtid



Flexibilitet mot prestanda



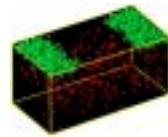
Processteknologi

- 0,1 u CMOS
- Design 2003
- Tillverkning 2005
- 200 Millioner Transistorer / Chip
- 3,5 GHZ klockfrekvens
- SoC System on Chip

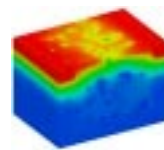


Kvantdatorer

- Enelektrontransistorer (25K)
- Stora talens lag gäller inte
- Statistiska fluktuationer
- Feltolerans behövs
- Nanoteknologi
- Ickeplanar
- Onchip sensorer



0,05 μ



Ökat intresse för tillförlitlighet

- **Automatic Tool for Insertion and Simulation of Fault Tolerant Architectures**
 - ALCATEL ESPACIO SA
 - C.R.F. Società consortile per azioni
 - FTL Systems UK Limited
 - Politecnico di Torino
 - UNIVERSIDAD CARLOS III DE MADRID
- **AMATISTA IST-1999-11762**



Virtuell organisation

- **Advanced Infrastructure for Pan-European Collaborative Engineering**
 - Thomson-CSF OPTRONIQUE
 - Siemens Aktiengesellschaft
 - FTL Systems UK Limited
 - Infineon Technologies AG
 - Silesian University of Technology
 - Instytut Technologii Elektronowej
 - Universität-Gesamthochschule Paderborn
- **E-COLLEG IST-1999-11746**



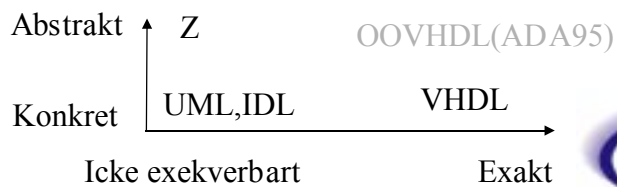
Verification Automation

- Design Automation
 - Syntes automatisk
 - 80% av tiden ägnas åt verifiering
- Verifieringen växer kvadratisk med komplexiteten
- Formell verifiering
- Parallell verifiering



Modelleringspråk

- Analogt Spice
- Digitalt VHDL, Verilog, JHDL
- Multidomän VHDL-AMS
- Systemnivå SLDL, OOVHDL, SystemC
- Specifikation Z, UML, IDL, ROSETTA
- Interface (implemtation) CORBA, JAVA,



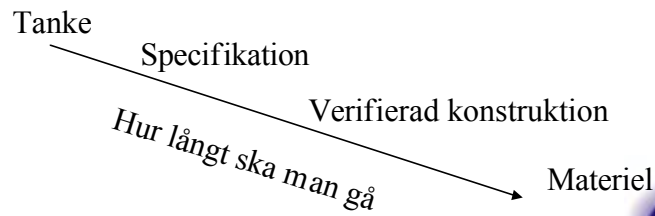
Parkinssons lag för programvara

- Programvaran fyller att tillgängligt minne
- Programvaran utnyttjar all tillgänglig beräkningskraft

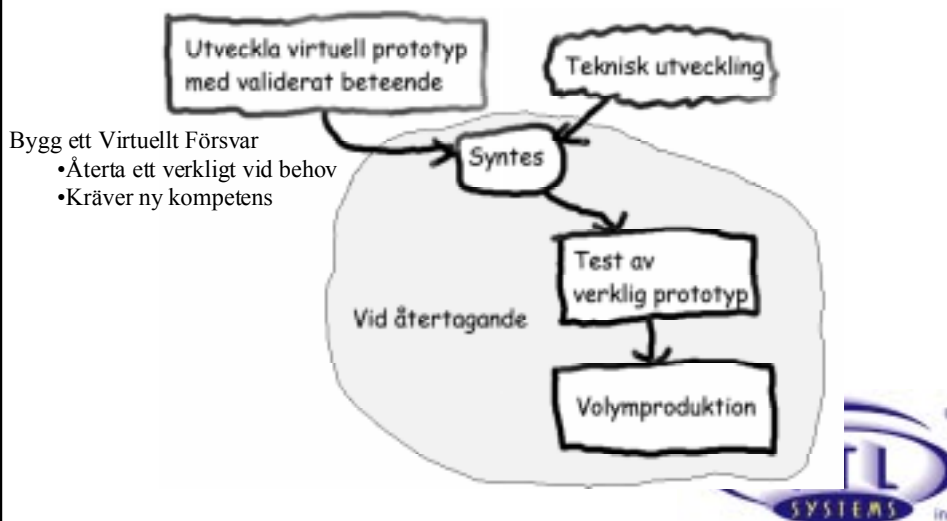


Virtuell systemutveckling

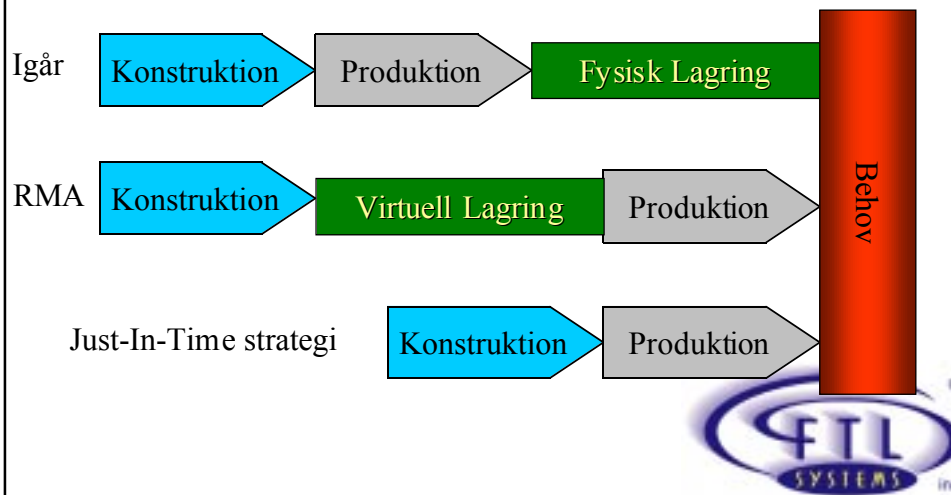
- Syntesverktyg medför att man kan:
 - Verifiera nu
 - Tillverka senare



Ny anskaffningsstrategi inför FMI 2020



Strategier



UK

